

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002056688 A**(43) Date of publication of application: **22.02.02**

(51) Int. Cl

**G11C 16/06**(21) Application number: **2001228587**(22) Date of filing: **27.07.01**(30) Priority: **07.08.00 KR 2000 200045687**(71) Applicant: **SAMSUNG ELECTRONICS CO LTD**(72) Inventor: **TEI KITAKU  
RI SHOKON  
YOUNG-HO LIM**

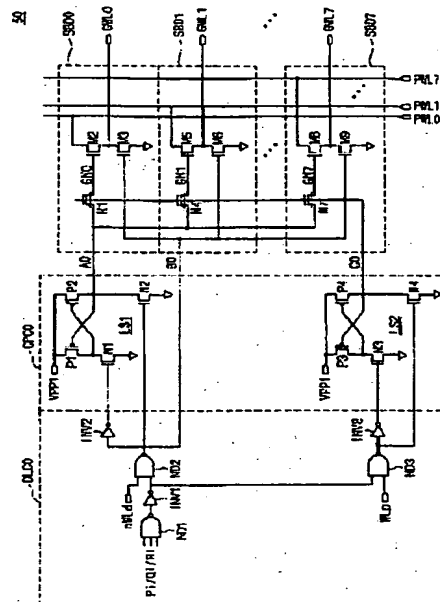
## (54) SEMICONDUCTOR MEMORY

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor memory in which load by boosting can be reduced when word line drive voltage is supplied to a word line.

**SOLUTION:** A decoding circuit 50 has pull-up and pull-down transistors M2, M3, M6, M8, M9 coupled to a global word line GWL coupled to word lines by the prescribed coupling means, turns on the pull-down transistors M3, M6, M9 before high voltage conforming to an operation mode is supplied to selected one global word line GWL out of the global word lines, and gates of the pull-up transistors M2, M5, M8 are charged preliminarily by a spare charging circuit CPO. When word line drive voltage is supplied to the global word line GWL, a self-boosting system is utilized.

COPYRIGHT: (C)2002,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-56688

(P2002-56688A)

(43)公開日 平成14年2月22日(2002.2.22)

(51)Int.Cl.<sup>7</sup>

G 1 1 C 16/06

識別記号

F I

G 1 1 C 17/00

ターマコード\*(参考)

6 3 3 B 5 B 0 2 5

6 3 3 D

6 3 3 A

審査請求 未請求 請求項の数16 O L (全 14 頁)

(21)出願番号 特願2001-228587(P2001-228587)

(22)出願日 平成13年7月27日(2001.7.27)

(31)優先権主張番号 2 0 0 0 P - 4 5 6 8 7

(32)優先日 平成12年8月7日(2000.8.7)

(33)優先権主張国 韓国 (K R)

(71)出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72)発明者 鄭 暉 澤

大韓民国京畿道龍仁市起興邑旧▲ガル▼里  
385番地 豊林アパート104棟402号

(72)発明者 李 昇 根

大韓民国京畿道城南市盆唐区亭子洞 常緑  
タウン 林光アパート407棟202号

(74)代理人 100086368

弁理士 萩原 誠

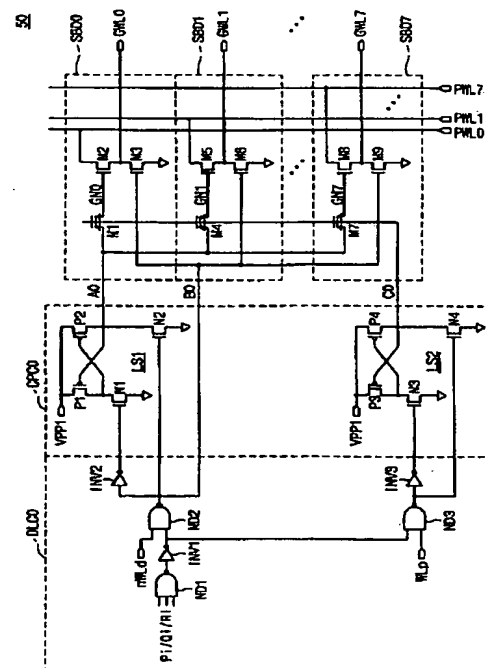
最終頁に続く

(54)【発明の名称】 半導体メモリ装置

(57)【要約】

【課題】 ワードラインにワードライン駆動電圧を供給するときの、昇圧による負担を減少させ得る半導体メモリ装置を提供すること。

【解決手段】 デコーダ回路50は、所定の連結手段によってワードラインと連結されるグローバルワードラインGWLに連結されたプルアップ及びプルダウントランジスタM2、M3、M5、M6、M8、M9を有し、動作モードに従う高電圧がグローバルワードラインGWLのうち選択された1つのグローバルワードラインGWLに供給される前にプルダウントランジスタM3、M6、M9をターンオンさせ、プルアップトランジスタM2、M5、M8のゲートは予備充電回路CPCOで予備充電する。グローバルワードラインGWLにワードライン駆動電圧を供給する場合に、自己昇圧方式を利用する。



## 【特許請求の範囲】

【請求項1】 電気的な消去及びプログラム可能な半導体メモリ装置において、

複数のワードライン及びビットラインと複数のメモリセルで構成された複数のメモリセルセクタと、  
所定の連結手段によって前記ワードラインと電気的に連結される複数のグローバルワードラインと、  
前記メモリセルセクタを選択するために前記連結手段を制御するセクタ選択回路と、  
動作ノードに従う電圧をプルアップトランジスタを通して選択的に前記グローバルワードラインに供給するドライバ回路と、

前記動作モードに従う電圧を前記ドライバ回路に選択的に供給するパルシャルロウデコードと、  
所定の選択信号に応じて前記動作モードに従う電圧が前記グローバルワードラインに供給される前に前記プルアップトランジスタのゲートを所定の電位にする予備充電回路とを含むことを特徴とする半導体メモリ装置。

【請求項2】 前記プルアップトランジスタは高電圧用のNMOSTランジスタであることを特徴とする請求項1に記載の半導体メモリ装置。

【請求項3】 前記ドライバ回路は前記グローバルワードラインと接地電圧の間に連結されたプルダウントランジスタを含むことを特徴とする請求項1に記載の半導体メモリ装置。

【請求項4】 前記予備充電回路は前記動作モードに従う電圧が前記グローバルワードラインに供給される前に前記プルダウントランジスタをターンオンさせる回路を含むことを特徴とする請求項3に記載の半導体メモリ装置。

【請求項5】 前記連結手段はディブリーショントランジスタであることを特徴とする請求項1に記載の半導体メモリ装置。

【請求項6】 前記予備充電回路は第1高電圧を電源として使用し、前記動作モードに従う電圧が読み出しモードでは第2高電圧になり、プログラム動作モードでは第3高電圧になることを特徴とする請求項1に記載の半導体メモリ装置。

【請求項7】 前記第1、第2及び第3高電圧は前記半導体装置の電源電圧より高電圧を有し、前記第1高電圧を発生させる回路と前記第2高電圧を発生させる回路が電気的に分離されていることを特徴とする請求項1に記載の半導体メモリ装置。

【請求項8】 電気的な消去及びプログラム可能な半導体メモリ装置において、  
複数のワードライン及びビットラインと複数のメモリセルで構成された複数のメモリセルセクタと、  
所定の連結手段によって前記ワードラインと電気的に連結される複数のグローバルワードラインと、  
前記メモリセルセクタを選択するために動作モードに従

う電圧を前記連結手段に印加するセクタ選択回路と、  
前記動作モードに従う電圧を供給するためのパルシャルワードライン駆動信号を発生させるパルシャルロウデコードと、

前記動作モードに従う電圧が前記グローバルワードラインに供給される前にプルアップトランジスタのゲートを予備充電した後、前記パルシャルワードライン駆動信号を通して供給された動作モードに従う電圧を前記プルアップトランジスタを通して選択的に前記グローバルワードラインに印加するグローバルロウデコードを含むことを特徴とする半導体メモリ装置。

【請求項9】 前記プルアップトランジスタは高電圧用のNMOSTランジスタであることを特徴とする請求項8に記載の半導体メモリ装置。

【請求項10】 前記連結手段はディブリーショントランジスタであることを特徴とする請求項8に記載の半導体メモリ装置。

【請求項11】 前記グローバルロウデコードは前記グローバルワードラインと接地電圧の間に連結されて、前記動作モードに従う電圧が前記グローバルワードラインに供給される前にターンオンされるプルダウントランジスタを含むことを特徴とする請求項8に記載の半導体メモリ装置。

【請求項12】 前記グローバルロウデコードは第1高電圧を電源として使用し、前記動作モードに従う電圧が読み出しモードでは第2高電圧になり、プログラム動作モードでは第3高電圧になることを特徴とする請求項8に記載の半導体メモリ装置。

【請求項13】 前記第1、第2及び第3高電圧は前記半導体装置の電源電圧より高電圧を有し、前記第1高電圧を発生させる回路と前記第2高電圧を発生させる回路が電気的に分離されていることを特徴とする請求項12に記載の半導体メモリ装置。

【請求項14】 複数のワードライン及びビットラインと複数のメモリセルで構成された複数のメモリセルセクタを有し、電気的な消去及びプログラム可能な半導体メモリ装置において前記ワードラインを選択する回路として、

所定の連結手段によって前記ワードラインと連結されたグローバルワードラインと、

前記グローバルワードラインに連結されたプルアップ及びプルダウントランジスタを有し、動作モードに従う高電圧が前記グローバルワードラインのうち、選択された1つのグローバルワードラインに供給される前に、前記プルダウントランジスタをターンオンさせ、かつ前記プルアップトランジスタのゲートを予備充電するグローバルロウデコードとを含むことを特徴とする半導体メモリ装置。

【請求項15】 前記グローバルロウデコードは第1高電圧を電源として使用し、前記動作モードに従う電圧が

読み出しモードでは第2高電圧になり、プログラム動作モードでは第3高電圧になることを特徴とする請求項14に記載の半導体メモリ装置。

【請求項16】 前記第1、第2及び第3高電圧は前記半導体装置の電源電圧より高電圧を有し、前記第1高電圧を発生させる回路と前記第2高電圧を発生させる回路が電気的に分離されていることを特徴とする請求項14に記載の半導体メモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体メモリ装置、詳しくは不揮発性メモリ装置に関し、特にロウデコーダに関する。

【0002】

【従来の技術】フラッシュメモリ装置では、メモリセルは電気的にデータをプログラムしたり、そのメモリセルに貯蔵されたデータを電気的に消去できる。通常のフラッシュメモリ装置の動作によると、ドレイン領域と隣接したチャンネル領域からフローティングゲートにホットエレクトロン注入(hot electron injection)を利用してプログラムを行う。プログラムするためには、ソース領域と基板領域を接地させ、コントロールゲートに約9Vの高電圧を印加すると同時に、ドレイン領域にはホットエレクトロンを発生させるぐらいの電圧、約5Vを印加する。このように、プログラムされたメモリセルでは、フローティングゲートにマイナス電荷が蓄積されるので、メモリセルのしきい値電圧を上昇させる。これに対して、消去の時には、コントロールゲートに-9Vぐらいのマイナスの高電圧を印加し、バルク領域には約9Vを印加して、フローティングゲートに蓄積されたマイナス電荷がバルク領域に放出される(Fowler-Nordheim Tunneling)。消去されたメモリセルのしきい値電圧は、そうではないものより低くなる。読み出し動作は、ドレイン領域に約1Vの電圧を印加し、コントロールゲートにはプログラムされたしきい値電圧より低電圧を印加し、ソース領域には0Vを印加することによって行われ、プログラムされたメモリセルは“オフセル”、消去されたメモリセルは“オンセル”に判別される。

【0003】プログラムされたり、消去されたりしたメモリセルに対する読み出し動作が行われる時には、プログラムされたメモリセルのしきい値電圧と消去されたメモリセルのしきい値電圧の間の電圧(以下、“読み出し電圧”)を選択されたメモリセルに連結されたワードラインに印加する。この時、読み出し電圧が電源電圧よりさらに高くなければならない場合があるが、これを解決するために読み出し電圧を昇圧(boosting)させる方式が紹介されたことがある(IEEE 1996 Symposium on VLSI Circuits Digest of Technical Papers, pp172~173, “A2.7V only 8Mb×16NOR flash memory” )。

ers, pp172~173, “A2.7V only 8Mb×16NOR flash memory” )。

【0004】近年、携帯用通信機器又は携帯用コンピュータのようにバッテリーによって動作する装置で、フラッシュメモリは低消費電力のために低電圧化が図られつつある。しかし、高集積化と並行する低電圧化に一番大きな障害物は、低電圧で読み出し動作の間、ワードラインの昇圧効率が集積度が上昇すれば上昇するほど下がることである。これを解決するための幾つかの方法が紹介された。1つは、ワードラインを多重に昇圧させる方法として、昇圧効率を高めて、低電圧でも高速の読み出し動作をできる方法である(第6回 韓国半導体学術大会, 1999年 2月, “Quick Double Bootstrapping Scheme for Word Line of 1.8V Only 16Mb Flash Memory”)。もう1つは、パワーアップされたとたん、高電圧発生器のチャージポンプを駆動させて、読み出し動作が始まる時、チャージポンプから発生された高電圧を該当するワードラインに印加する方法で、動作速度が速いし、低消費電力を実現できるので、最近、利用されている(IEEE Journal of Solid State Circuits, Jun 1976, pp 374~378, J. F. Dickson, “On-Chip high voltage generation in MNOS integrated circuits using an improved voltage multiplier technique”)。低電源電圧下での読み出し動作の時、ワードラインの電圧を昇圧させるためにチャージポンプを使用する方法に関して、関連論文(IEEE JSSC, Vol. 34, No. 8, Aug. 1999, pp 1091~1098, “Optimization of word-line booster circuits for low-voltage flash memories”)では、チャージポンプが占める回路面積及び動作電流が他の周辺回路要素に比べて相対的に小さいので、10 $\mu$ A以下のスタンバイ電流(stand-by current)が流れても、消費電力面においてむしろ有利であると評価した。

【0005】一方、NOR型フラッシュメモリ装置で採用されるロウデコーダは、前述のようなフラッシュメモリの特性上、マイナスの高電圧からプラスの高電圧に到る様々なレベルの電圧を印加しなければならない。一般的に、電源電圧のポテンシャル(potential)より高チャージポンプである電圧なら、高電圧と呼ばれる。即ち、電源電圧が3.3Vである場合、読み出しの時には選択されたワードラインに約4.5Vが印加され、プログラムの時には選択されたワードラインに約9

Vが印加され、消去の時にはワードラインとバルク領域に約9V及び-9Vが各々印加される。そのような電圧の供給のために、従来、使用されたロウデコードとその関連回路が図1および図2に示されている。

【0006】図1および図2のメモリセルセクタ13及び14は、例えば、全体メモリセルアレイを、セクタ単位に分けて配列したもののうち、i番目とj番目に各々該当し、各々は1024本のワードラインと512本のビットラインで構成された64KByteの貯蔵容量を有する(64KByte=1024×512bit)。読み出し動作又はプログラム動作の時、1つのワードラインを選択するためには、1024本のワードラインに対応する10個のアドレス信号が必要である。グローバル(global)ワードラインは128本に分けられ、グローバルロウデコード10によって1つが選択され、1つのグローバルワードラインには8本のローカルワードラインが配置され(128×8=1024)、ローカルロウデコード15(又は16)によって選択される。ワードラインの各々に配置されるワードラインドライバWDは、グローバルロウデコード10から提供されるグローバルワードライン選択信号GWLと、ローカルロウデコード15(又は16)から提供されるローカルワードライン選択信号PWL、そして、ブロックデコード17(又は18)から提供されるブロック選択信号BLSに応じて、該当するワードラインを駆動させる。読み出し動作、プログラム動作又は消去動作でワードラインに高電圧(プラスの高電圧又はマイナスの高電圧)を供給するために、グローバルロウデコード10とローカルロウデコード15(又は16)には、高電圧

をスイッチングするためのレベルシフタ(level shifter)LSが配置される。

【0007】図3はグローバルロウデコード10に内蔵されたレベルシフタ(128個)のうち、1つのレベルシフタLS0とワードラインドライバWD0~WD7の間の連結関係を示し、図4はローカルロウデコード15に内蔵されたレベルシフタ(8個)のうち、1つのレベルシフタLS0iの構成を示す。図3で、電圧端(voltage terminal)VPPはプログラムのためのプラスの高電圧を、電圧端VEXは消去動作のためのマイナスの高電圧を示す。図3及び図4に示すように、高電圧をスイッチングするために、高電圧用PMOSTランジスタPH1~PH11と高電圧用NMOSTランジスタNH1~NH11が使用される。高電圧用トランジスタは、MOSTランジスタのエンハンスメント(enhancement)特性を強化させて、ドレイン又はソースに電源電圧より高電圧が印加されても、絶縁膜破壊等の物理的な負担なしに、スイッチング機能を実行できるように製造されたトランジスタである。読み出し動作又はプログラム動作の時には、高電圧用PMOSTランジスタPH1、PH11そしてPH3等を通してプラスの高電圧VPPが対応するワードライン(例えば、WL0i)にスイッチングされ、消去の時には高電圧用NMOSTランジスタNH2及びNH4等を通してマイナスの高電圧VEXが対応するワードラインにスイッチングされる。下記の表は各動作モードに従って印加される電圧を示す。

【0008】

【表1】

動作モード	GWL		選択されたメモリセルセクタ				非選択されたメモリセルセクタ			
	選択GWL	非選択GWL	選択PWL	非選択PWL	選択PWL	非選択PWL	VEX	PWL	WL	VEX
プログラム	9V	0V	9V	0V	9V	0V	0V	0V	0V	0V
消去	-9V		0V		-9V		-9V	0V	0V	0V
読み出し	4.5V	0V	4.5V	0V	4.5V	0V	0V	0V	0V	0V

【0009】

【発明が解決しようとする課題】図1および図2のようなデコード構造において、高電圧用PMOSTランジスタPH1~PH11はそれらのバルク領域のN型ウェルを共有するように製造される。即ち、1つのN型ウェルにデコーディングに関した全ての高電圧用PMOSTランジスタが形成されている。そのような高電圧用PMOSTランジスタのチャンネルを通して読み出し又はプログラムのための高電圧がスイッチングされるので、PN接合による電圧降下を防止するために、バルク領域のN型ウェルにも同一の高電圧が印加されなければならない。結局、読み出し又はプログラム動作で電源電圧から高電圧に昇圧する時、選択されたデコード領域の高電圧用PMOSTランジスタだけでなく非選択されたデコード領域の高電圧用PMOSTランジスタにも共有されて

いるN型ウェルを昇圧しなければならないので、昇圧負荷が大きくなる。特に、読み出しの時、ワードライン電圧が速く昇圧すると、読み出し動作の速度が速くなるので、昇圧による負担がさらに増加する。フラッシュメモリ装置で使用される電源電圧が低くなるに従って、昇圧負荷の増加による読み出し動作速度はさらに低下される。

【0010】プログラム又は消去の時には、読み出し動作の時より動作時間に対する昇圧負荷の負担が相対的に少ないが、高電圧用PMOSTランジスタが1つのバルク領域、即ち、N型ウェルを共有する限り、不要な昇圧負担を有する。

【0011】低電源電圧を使用するフラッシュメモリ装置で、読み出し動作又はプログラム動作でワードラインに供給される高電圧を発生させるための従来の回路が図

5に示されている。図5に示されたように、図1のグローバルワードデコーダ10に使用される高電圧VPPを供給するために、フラッシュメモリ装置がパワーオンになると、すぐに活性化される小容量のスタンバイ用高電圧発生器21と、アドレス遷移感知信号(address transition detection signal: ATD)に応じて活性化されるアクティブ用の大容量高電圧発生器23が使用される。又、スタンバイ用及びアクティブ用高電圧発生器21及び23に採用される比較増幅器AMPの非反転入力端(non-inverted stages)に印加される基準電圧VREFを発生させる基準電圧発生回路22が使用される。しかし、図5の高電圧発生構成では、スタンバイ用高電圧発生器21の出力とアクティブ用高電圧発生器23の出力端が1つに縛られているので、アクティブ用チャージポンプの効率が低下することは勿論、スタンバイ動作とアクティブ動作での高電圧制御を別途にできない。

【0012】本発明は、前述した問題点に鑑みなされたもので、低電源電圧を使用するフラッシュメモリで昇圧負荷を減少させ得る装置を提供することを目的とする。

【0013】また、本発明は、低電源電圧を使用するフラッシュメモリで読み出し動作の速度を向上させ得る装置を提供することを目的とする。

【0014】さらに、本発明は、低電源電圧を使用するフラッシュメモリで読み出し動作とプログラム動作、そして、消去動作の時、昇圧負荷を減少させ得る装置を提供することを目的とする。

【0015】さらに、本発明は、低電源電圧を使用するフラッシュメモリで効率的に高電圧の発生及び制御をできる装置を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明による半導体メモリ装置には、複数のワードライン及びビットラインと複数のメモリセルで構成された複数のメモリセルセクタと、所定の連結手段によってワードラインと電氣的に連結される複数のグローバルワードラインが配列されており、メモリセルセクタを選択するために動作モードに従う電圧を連結手段に印加するセクタ選択回路と、動作モードに従う電圧を供給するためのパーシャルワードライン駆動信号を発生させるパーシャルワードライン駆動信号と、動作モードに従う電圧がグローバルワードラインに供給される前にプルアップトランジスタのゲートを予備充電した後、パーシャルワードライン駆動信号によって供給された動作モードに従う電圧をプルアップトランジスタを通して選択的にグローバルワードラインに印加するグローバルワードデコーダとを有する。

【0017】プルアップトランジスタは高電圧用NMOSトランジスタで構成され、連結手段にはディプリーション(depletion)トランジスタを使用する。又、グローバルワードデコーダはグローバルワードライン

と接地電圧の間に連結されて、動作モードに従う電圧がグローバルワードラインに供給される前に、グローバルワードラインを放電させる。グローバルワードデコーダは第1高電圧を電源として使用し、動作モードに従う電圧が読み出し動作モードでは第2高電圧になり、プログラム動作モードでは第3高電圧になることを特徴とする。第1、第2及び第3高電圧は前記半導体装置の電源電圧より高電圧を有し、第1高電圧を発生させる回路と第2高電圧を発生させる回路は電氣的に分離されている。

【0018】

【発明の実施の形態】以下、本発明の望ましい実施形態を添付した図面を参照して詳細に説明する。

【0019】本発明の図又は説明で使用される信号の参照符号中、“n”で始まる信号はネガティブロジック(negative logic)によって活性化される信号である。又、本発明の実施形態で適用されるフラッシュメモリの貯蔵容量とそれに従うワードラインの数は1つの例に過ぎない。又、本発明は正常的なデータ読み出しのためにワードラインの電圧を昇圧させる低電力フラッシュメモリ装置に利用される。

【0020】図6は、本発明によるデコーディング回路とメモリセルアレイの間の連結関係を示す。図6に示されたメモリセルセクタMCSi及びMCSjは、全体メモリセルアレイを複数のセクタに分けたうちの各々i番目とj番目に該当し、各々は1024本のワードライン(n=1023)と512本のビットラインで構成され、64Kbyte(1024×512=64Kbyte)の貯蔵容量を有すると仮定する。各々のメモリセルセクタに配列された1024本のワードラインWL0~WLn(n=1023)は1024本のグローバルワードラインGWL0~GWLn(n=1023)にワードライン駆動トランジスタDT0~DTn(n=1023)を通して連結される。ワードライン及びワードライン駆動トランジスタの符号の末尾に表示された“i”又は“j”は、それらが含まれるメモリセルセクタを示す。ワードライン駆動トランジスタDT0~DTnの各グループは、メモリセルセクタMCSi及びMCSjを各々担当するワードライン駆動ブロックWDBi及びWDBjに各々含まれる。又、ワードライン駆動トランジスタDT0~DTnはディプリーション型のNMOSで形成され、それらのゲートにはセクタ選択回路SSi(又はSSj)から提供されるセクタ選択信号SWSi(又はSWSj)が共通に印加される。セクタ選択回路SSi及びSSjはメモリセルセクタMCSi及びMCSjを各々選択するために、該当するメモリセルセクタのワードライン駆動トランジスタDT0i~DTni及びDT0j~DTnjを制御する。パーシャルワードデコーダ55とセクタ選択回路SSi及びSSjには第2高電圧Vbstと第3高電圧Vpgmが供給される。

【0021】グローバルワードラインGWL0~GWL

nを駆動させるために、グローバルワードラインデコーディングブロック(グローバルロウデコーダ)50にはグローバルワードラインの数に相応する自己昇圧ドライバSBD0~SBDn( $n=1023$ )が配置される。自己昇圧ドライバSBD0~SBDnは各々が8個ずつでなされた128個のグループSBDG0~SBDGk( $k=127$ )に分けられる。自己昇圧ドライバグループSBDG0~SBDGkの各々に属する8個ずつの自己昇圧ドライバ(SBD0~SBDn, . . . . . , 又はSBDn-7~SBDn: $n=1023$ )はパシシャルロウデコーダ55から提供される8個のパシシャルワードライン駆動信号PWL0~PWL7を各々入力する。又、自己昇圧ドライバグループSBDG0~SBDGkの各々に属する8個ずつの自己昇圧ドライバ(SBD0~SBDn, . . . . . , 又はSBDn-7~SBDn: $n=1023$ )は128個で配置されたチャンネル予備充電回路CPC0~CPCk( $k=127$ )の各々から提供されるチャンネル予備充電信号A0~C0, . . . . . , Ak~Ckを各々入力する。チャンネル予備充電回路CPC0~CPCkの各々はデコーディング論理回路DLC0~DLCkの各々から提供されるコーディング論理信号を各々入力する。又、チャンネル予備充電回路CPC0~CPCkはスタンバイの間、活性化される第1高電圧VPP1を電源電圧として利用する。デコーディング論理回路DLC0~DLCkはプリデコーダから提供されるプリデコーディング信号Pi, Qi, Riを入力する。

【0022】プリデコーディング信号Pi~Riからデコーディング論理回路DLC0及びチャンネル予備充電回路CPC0を経て自己昇圧ドライバグループSBDG0までの回路グループは、1つのグローバルロウデコーディングユニットと呼ばれ、このようなユニットが本実施形態では128個が配列される。128番目のグローバルロウデコーディングユニットはプリデコーディング信号Pj~Rjからデコーディング論理回路DLCk( $k=127$ )及びチャンネル予備充電回路CPCk( $k=127$ )を経て自己昇圧ドライバグループSBDGk( $k=127$ )までの回路グループに該当する。各グローバルロウデコーディングユニットには8本ずつのグローバルワードラインが属し、合計1024本のグローバルワードラインを選択するためには、10個のアドレスビットが必要である。10個のアドレスビット中、7個は128個のグローバルロウデコーディングユニットを選択するのに割り当てられ、残りの3個のアドレスビットは1個のグローバルロウデコーディングユニットに属した8本のグローバルワードラインを選択するのに割り当てられる。

【0023】図7は、図6に示された1つのグローバルロウデコーディングユニット(DLC0+CPC0+SBD0~SBD7)の詳細な構成を示す。デコーディン

グ論理回路DLC0は、プリデコーディング信号Pi~Riを入力するNANDゲートND1と、このNANDゲートND1の出力をインバータINV1を通して入力し、ワードライン放電信号nWLdを入力するNANDゲートND2と、インバータINV1の出力とワードラインWLpを入力するNANDゲートND3とを含む。チャンネル予備充電回路CPC0は第1高電圧VPP1を電源とする2個のレベルシフタLS1及びLS2で構成される。レベルシフタLS1(又はLS2)はPMOSTランジスタP1及びP2(又はP3及びP4)とNMOSTランジスタN1及びN2(又はN3及びN4)で構成される普通のレベルシフタである。NANDゲートND2の出力はインバータINV2を通してNMOSTランジスタN1のゲートに印加され、かつNMOSTランジスタN2のゲートに直接に印加される。NANDゲートND3の出力はインバータINV3を通してNMOSTランジスタN3のゲートに印加され、かつNMOSTランジスタN4のゲートに直接に印加される。

【0024】自己昇圧ドライバSBD0~SBD7の各々は高電圧用ディブリーションNMOSTランジスタM1(SBD1のM4又はSBD7のM7)と高電圧用NMOSTランジスタM2(SBD1のM5又はSBD7のM8)及びM3(SBD1のM6又はSBD7のM9)で構成される。高電圧用ディブリーションNMOSTランジスタM1はレベルシフタLS1の出力端A0と高電圧用NMOSTランジスタM2のゲートの間に連結される。高電圧用ディブリーションNMOSTランジスタM1のゲートはレベルシフタLS2の出力端C0に連結される。高電圧用NMOSTランジスタM2はパシシャルワードライン駆動信号PWL0とグローバルワードラインGWL0の間に連結される。

【0025】1番目の自己昇圧ドライバSBD0で、高電圧用NMOSTランジスタM3はグローバルワードラインGWL0と接地電圧の間に連結され、デコーディング論理回路DLC0のNANDゲートND2の出力B0がそのゲートに印加される。NANDゲートND2の出力B0は自己昇圧ドライバSBD0~SBD7の各々に設けられた高電圧用NMOSTランジスタM3, M6及びM9のゲートに共通に印加される。

【0026】2番目の自己昇圧ドライバSBD1で、高電圧用ディブリーションNMOSTランジスタM4はレベルシフタLS1の出力端A0と高電圧用NMOSTランジスタM5のゲートの間に連結される。高電圧用NMOSTランジスタM5はパシシャルワードライン駆動信号PWL1とグローバルワードラインGWL1の間に連結され、高電圧用NMOSTランジスタM6はグローバルワードラインGWL1と接地電圧の間に連結される。

【0027】8番目の自己昇圧ドライバSBD7で、高電圧用ディブリーションNMOSTランジスタM7はレベルシフタLS1の出力端A0と高電圧用NMOSTラ



ンジスタM8のゲートの間に連結される。高電圧用NMOSTランジスタM8はパーシャルワードライン駆動信号PWL7とグローバルワードラインGWL7の間に連結され、高電圧用NMOSTランジスタM9はグローバルワードラインGWL7と接地電圧の間に連結される。

【0028】第1高電圧VPP1はフラッシュメモリ装置がパワーアップになると発生され、約4.5Vの電位を有する。第1高電圧VPP1は自己昇圧ドライバを構成する高電圧用NMOSTランジスタのゲート電圧で使用する。

【0029】図8は図6に示されたパーシャルロウデコーダ55の詳細な構成を示す。図8のパーシャルロウデコーダの回路はパーシャルワードライン駆動信号PWL0~PWL7の数(8個)ほど設けられ、3個のレベルシフトLS11~LS13を含む。レベルシフトLS11は約4.5Vの第2高電圧Vbstを電源として使用し、レベルシフトLS12及びLS13は第1高電圧VPP1を電源として使用する。

【0030】レベルシフトLS11のNMOSTランジスタN11のゲートには、予備充電信号nPREとアドレスデコーディング信号Si(iは0~7のうちの1つ)を入力するNANDゲートND11の出力が印加される。又、NANDゲートND11の出力はインバータINV11を通してレベルシフトLS1のNMOSTランジスタN12のゲートに印加される。レベルシフトLS12のNMOSTランジスタN13のゲートには、書込み制御信号nWRとアドレスデコーディング信号Siを入力するNANDゲートND12の出力がインバータINV12を通して印加される。NANDゲートND12の出力は、又、レベルシフトLS12のNMOSTランジスタN14のゲートに直接に印加される。レベルシフトLS13のNMOSTランジスタN15のゲートには書込み制御信号WRとアドレスデコーディング信号Siを入力するNANDゲートND13の出力がインバータINV13を通して印加される。又、NANDゲートND13の出力はレベルシフトLS13のNMOSTランジスタN16のゲートに直接に印加される。

【0031】レベルシフトLS11の出力端T1は、ソースが第2高電圧Vbstに連結されたPMOSTランジスタP13のゲートに連結される。レベルシフトLS12の出力端T2は、高電圧用ディブリーションNMOSTランジスタM11を通して高電圧用ディブリーションNMOSTランジスタM13のゲートに連結される。レベルシフトLS13の出力端T3は、高電圧用ディブリーションNMOSTランジスタM12を通して高電圧用NMOSTランジスタM15のゲートに連結される。

【0032】高電圧用NMOSTランジスタM15は、約9Vの第3高電圧Vpgmとパーシャルワードライン駆動信号出力端PWL i(iは0~7のうちの1つ)の間に連結される。高電圧用ディブリーションNMOST

ランジスタM11及びM12のゲートはレベルシフトLS11の出力端T1に共通に接続される。高電圧用ディブリーションNMOSTランジスタM13はPMOSTランジスタP13とパーシャルワードライン駆動信号出力端PWL iの間に連結される。ゲートがレベルシフトLS11の出力端T1に接続された高電圧用NMOSTランジスタM14はパーシャルワードライン駆動信号出力端PWL iと接地電圧の間に連結される。

【0033】第1、第2及び第3高電圧の発生については、図10の高電圧発生回路と関連して後述される。

【0034】図9は、セクタ選択回路56の詳細な回路構成を示す。レベルシフトに入力される信号の種類を除いて前述したパーシャルロウデコーダ55の構成と類似である。即ち、図9のセクタ選択回路56は、例えば図6のセクタ選択回路SSiとして使用され、メモリセルセクタMC Siを選択するためのセクタ選択信号SWSiを発生させ、3個のレベルシフトLS21~LS23を含む。レベルシフトLS21は第2高電圧Vbstを電源として使用し、レベルシフトLS22及びLS23は第1高電圧VPP1を電源として使用する。レベルシフトLS21の入力は、予備充電信号nPREとアドレスデコーディング信号SAi(i番目のメモリセルセクタを選択するためのアドレスデコーディング信号)を入力するNANDゲートND21の出力である。レベルシフトLS22は、書込み制御信号nWRとアドレスデコーディング信号SAiを入力するNANDゲートND22の出力を入力とする。レベルシフトLS23は書込み制御信号WRとアドレスデコーディング信号SAiを入力するNANDゲートND13の出力を入力とする。

【0035】レベルシフトLS21の出力端T5は、ソースが第2高電圧Vbstに連結されたPMOSTランジスタP23のゲートに連結される。レベルシフトLS22の出力端T6は、高電圧用ディブリーションNMOSTランジスタM21を通して高電圧用ディブリーションNMOSTランジスタM23のゲートに連結される。レベルシフトLS23の出力端T7は、高電圧用ディブリーションNMOSTランジスタM22を通して高電圧用NMOSTランジスタM25のゲートに連結される。高電圧用NMOSTランジスタM25は約9Vの第3高電圧Vpgmとセクタ選択信号出力端SWSiの間に連結される。高電圧用ディブリーションNMOSTランジスタM21及びM22のゲートはレベルシフトLS21の出力端T5に共通に接続される。高電圧用ディブリーションNMOSTランジスタM23はPMOSTランジスタP23とセクタ選択信号出力端SWSiの間に連結される。ゲートがレベルシフトLS21の出力端T5に接続された高電圧用NMOSTランジスタM24はセクタ選択信号出力端SWSiと接地電圧の間に連結される。

【0036】図8のパーシャルロウデコーダ55又は図

9のセクタ選択回路56で出力ターミナル側に高電圧用NMOSTランジスタを使用するのは、読み出し又はプログラムの時、電源電圧より高電圧をワードラインに印加しなければならないためである。又、プルアップ用のランジスタをディプリーション型で使用するの、しきい値電圧(threshold voltage)による電圧降下要素を除去するためである。

【0037】図10を参照すると、本発明による高電圧発生回路はスタンバイ用の小容量のチャージポンプ91と、基準電圧発生回路92と、大容量のアクティブキッカ(active kicker)93とで構成される。第1高電圧VPP1を発生させるスタンバイ用チャージポンプ91は、従来の構造の図5のチャージポンプ21と同一の構成を有する。これに対して、正常動作、即ち、読み出し又はプログラム動作の間、ワードラインに供給される第2高電圧Vbstを発生させるアクティブキッカ93は、図5の従来例と違って、基準電圧発生回路92から基準電圧VREFが提供されないばかりか、スタンバイ用チャージポンプ91と電気的に分離されている。

【0038】アクティブキッカ93はアドレス遷移検出信号ATDを入力するインバータINV31と、このインバータINV31の出力ノードと第2高電圧出力端Vbstの間に連結されたキャパシタC31と、電源電圧Vccと第2高電圧出力端Vbstの間に連結され、そのゲートが予備充電信号PREに接続されたPMOSTランジスタP32とで構成される。

【0039】前述のように、第1高電圧VPP1はロウデコーダ(グローバルロウデコーダ、パーシャルロウデコーダ、又はセクタ選択回路)で、自己昇圧のための電源として使用される電圧であり、寄生容量成分は大きい、電流消耗はほとんどない電圧ノードである。これに対して、ワードラインに供給される実際の電圧の第2高電圧Vbstは電流消耗はチャージポンプ91に比べて多いが負荷が少ない電圧ノードである。

【0040】本発明は、従来のワードライン昇圧方式すなわち、高電圧用PMOSTランジスタを通して読み出し又はプログラムに必要なワードライン電圧を伝送する方式の場合に大きい昇圧負荷を減少させるために、自己昇圧方式を採用することを特徴とする。これについて、図11の電圧波形図と関連回路を参照して説明する。

【0041】以下の読み出し又はプログラム動作では、グローバルワードラインGWL0及びワードラインWL0iが選択され、メモリセルセクタMCSiが選択されると仮定する。まず、図7のグローバルロウデコーダ50で、動作の前にグローバルワードラインGWL0～GWL7を放電させるためにワードライン放電信号nWLdがローレベルに活性化されることによって、NANDゲートND2の出力B0がハイレベルになる。すると、チャンネル予備充電回路CPC0のレベルシフトLS1

の出力A0がローレベルになる。出力B0がハイレベルである間(期間Tw1dの間)、自己昇圧ドライバSBD0～SBD7のNMOSTランジスタM3、M6及びM9(以下、“ワードライン放電用プルダウントランジスタ”と呼ぶ)がターンオンされて、グローバルワードラインGWL0～GWL7を接地電圧のレベルに放電させる。パーシャルワードライン駆動信号PWL0～PWLに連結されたNMOSTランジスタM2、M5及びM8(以下、“ワードラインプルアップトランジスタ”と呼ぶ)のゲートにはローレベルの出力A0が印加されている状態であるので、トランジスタはターンオンされない。

【0042】ワードライン放電信号nWLdがハイレベルに非活性化されることによって、出力B0がローレベルになり、プルダウントランジスタM3、M6及びM9がターンオフされることによって、グローバルワードラインに対する放電動作が完了される。グローバルワードラインGWL0～GWL7の放電が完了された後、NANDゲートND2の出力(B0)がローレベルになる。すると、レベルシフトLS1のNMOSTランジスタN1とPMOSTランジスタP2がターンオンされて、出力A0は第1高電圧VPP1に充電される。ハイレベルのショートパルスに活性化されたワードライン予備充電信号WLpを含むNANDゲートND3の入力が全部ハイレベルになり、レベルシフトLS2のNMOSTランジスタN3とPMOSTランジスタP4がターンオンされることによって、レベルシフトLS2出力C0は第1高電圧VPP1に充電される。すると、第1高電圧VPP1に充電された出力A0はディプリーションNMOSTランジスタM1、M4及びM7を通してプルアップトランジスタM2、M5及びM8のゲートに印加される。プルアップトランジスタM2、M5及びM8のゲートを第1高電圧VPP1のレベルに予備充電した後、出力C0が第1高電圧VPP1から0Vに降下されることによって、プルアップトランジスタのゲートが第1高電圧VPP1の予備充電レベルに維持されるようになる。予備充電動作が完了されると、8本のグローバルワードラインのうち、選択されたグローバルワードラインGWL0を選択的に駆動させるために、図8のパーシャルロウデコーダ55からパーシャルワードライン駆動信号PWL0が活性化されて、プルアップトランジスタM2のドレインに印加される。

【0043】選択されたグローバルワードラインGWL0に対応するパーシャルワードライン駆動信号PWL0を活性化させて発生する過程を説明する。図8のパーシャルロウデコーダ55で、予備充電信号nPREは読み出し又はプログラム動作のために第2高電圧Vbst又は第3高電圧Vpgmのレベルにパーシャルワードライン駆動信号PWL1を発生させる前に、経路上にいるトランジスタのゲートを予備充電させ、パーシャルワード

ライン駆動信号出力端PWL<sub>i</sub>を放電させるために使用される。グローバルデコーダで高電圧を電圧降下なしに伝送するために予備充電過程を実行する。即ち、信号nPREがローレベルに活性化されると、NANDゲートND11の出力がハイレベルであるので、レベルシフタLS11の出力T1がハイレベルになる。出力T1が高電圧用NMOSディプリーショントランジスタM11及びM12のゲートと高電圧用NMOSディプリーショントランジスタM14のゲートに印加されるので、NMOSディプリーショントランジスタM11及びM12のゲートは第2高電圧V<sub>bst</sub>に充電され、NMOSTランジスタM14を通してパーシャルワードライン駆動信号出力端PWL<sub>i</sub>は0Vに放電される。以降、予備充電信号nPREがハイレベルに非活性化されると、ハイレベルに非活性化された信号nPREによってNANDゲートND11の出力はローレベルになり、出力T1はローレベルになる。すると、ローレベルの出力T1によってターンオンされたPMOSTランジスタP13を通して高電圧用ディプリーションNMOSTランジスタM13のドレインは第2高電圧V<sub>bst</sub>に充電される。

【0044】書込み制御信号WR (nWR) は、プログラム動作ではハイレベル (nWRはローレベル) に活性化され、読み出しではローレベル (nWRはハイレベル) に非活性化される信号である。従って、プログラム動作ではレベルシフタLS13の出力T3をハイレベルにして、高電圧用NMOSTランジスタM15のゲートを第1高電圧V<sub>PP1</sub>のレベルに充電させる。これによって、第3高電圧の約9Vのプログラム電圧V<sub>pgm</sub>をNMOSTランジスタM15を通してパーシャルワードライン駆動信号PWL0の電源として供給する。この時、信号nWRはローレベルであるので、レベルシフタLS12の出力T2はローレベルになり、NMOSTランジスタM13はターンオフされて、読み出しに使用される第2高電圧V<sub>bst</sub>は出力端PWL0に伝送されない。これに対して、書込み制御信号WRがローレベル (nWRがハイレベル) である時、即ち、読み出し動作の場合、出力T2がハイレベルになり、出力T3がローレベルになるので、読み出し動作電源の第2高電圧V<sub>bst</sub>がNMOSTランジスタM13を通して出力端PWL0に供給される。

【0045】ここで、読み出し又はプログラム動作でプルアップ用として使用される高電圧用NMOSTランジスタM13及びM15のドレインは読み出し用電源V<sub>bst</sub>及びプログラム用電源V<sub>pgm</sub>に各々充電されているので、それらのゲートに第1高電圧V<sub>PP1</sub>の電源が印加されると、ゲートとドレインの間に存在する容量成分によって自己昇圧が自動的に発生される。これによって、トランジスタM13及びM15のゲートは第1高電圧V<sub>PP1</sub>より高い第2高電圧V<sub>bst</sub>又は第3高電圧V<sub>pgm</sub>に応じて上昇するので、第2高電圧V<sub>bst</sub>又

は第3高電圧V<sub>pgm</sub>が電圧降下なしに出力端PWL0に供給される。

【0046】図7で、第2高電圧V<sub>bst</sub> (読み出し動作) 又は第3高電圧V<sub>pgm</sub> (プログラム動作) のレベルになるパーシャルワードライン駆動信号PWL0がパーシャルロウデコーダ55から発生されて、NMOSプルアップトランジスタM2のドレインに印加される。トランジスタM2のゲートノードGN0は既に第1高電圧V<sub>PP1</sub>のレベルに予備充電されているので、ドレインに印加された第2高電圧V<sub>bst</sub>又は第3高電圧V<sub>pgm</sub>に応じてゲートとドレインの間の容量結合 (capacitive coupling) による自己昇圧が進行する。その結果、図11に示されたように、ゲートノードGN0は第1高電圧V<sub>PP1</sub>から第2高電圧V<sub>bst</sub>又は第3高電圧V<sub>pgm</sub>のレベルまで昇圧され、第2高電圧V<sub>bst</sub>又は第3高電圧V<sub>pgm</sub>は電圧降下なしに、選択されたグローバルワードラインGWL0にトランジスタM2を通して伝送される。選択されない他のプルアップトランジスタM5及びM8のゲートノードGN1及びGN7は以前の予備充電レベルの第1高電圧V<sub>PP1</sub>に維持され、選択されない他のグローバルワードラインGWL1~GWL7は以前に放電された状態の0Vに維持される。

【0047】図6を参照すると、第2高電圧V<sub>bst</sub>又は第3高電圧V<sub>pgm</sub>のレベルの選択されたグローバルワードラインGWL0はi番目のワードライン駆動ブロックWDBiに含まれた駆動トランジスタD<sub>TOi</sub>のドレインに接続される。

【0048】ディプリーションの駆動トランジスタD<sub>TOi</sub>のゲートに印加されるセクタ選択信号SWS<sub>i</sub>を発生させる過程を、図9を参照して説明する。図9のセクタ選択回路56で予備充電信号nPREと関連して行われる、高電圧用NMOSディプリーショントランジスタM21及びM22のゲートの充電動作と高電圧用NMOSTランジスタM24によるセクタ選択信号出力端SWS<sub>i</sub>の放電動作は、図8のパーシャルロウデコーダでのそれと同一である。即ち、信号nPREがローレベルに活性化されることに従ってレベルシフタLS21の出力T5がハイレベルになり、ターンオンされたトランジスタM24を通してセクタ選択信号出力端SWS<sub>i</sub>は0Vに放電される。読み出し動作又はプログラム動作の時、ワードライン駆動電圧がドレインに印加される図6の駆動トランジスタD<sub>TOi</sub>のゲートに第2高電圧V<sub>bst</sub>又は第3高電圧V<sub>pgm</sub>に対応するセクタ選択信号SWS<sub>i</sub>を印加するために、書込み制御信号WR (又はプログラム制御信号) がローレベル (nWRがハイレベル) である時、即ち、読み出し動作である場合は、高電圧用ディプリーションNMOSTランジスタM23を通して第2高電圧V<sub>bst</sub>がセクタ選択信号SWS<sub>i</sub>の電源として供給され、書込み制御信号WRがハイレベルである

プログラム動作では、第3高電圧 $V_{pgm}$ が高電圧用NMOSTランジスタ $M25$ を通してセクタ選択信号 $SWSi$ の電源として供給される。

【0049】そして、このようにして、選択されたグローバルワードライン $GWLO$ と選択されたワードライン $WLOi$ とを連結してワードライン $WLOi$ に駆動電圧（読み出しの時は第2高電圧 $V_{bst}$ 、プログラムの時は第3高電圧 $V_{pgm}$ ）を供給する駆動ランジスタ $DT0i$ のゲートに、伝送される電圧レベルと同一の電圧を印加し、駆動ランジスタがディブリーション型であるので、最終的に選択されたワードライン $WLOi$ には

読み出し又はプログラムに必要な電圧が電圧降下なしに印加される。

【0050】下記の表は、前述した本発明の実施形態に従って行われるプログラム、消去及び読み出し動作で印加される電圧のレベルを示す。表2は選択されたメモリセルに印加される電圧状態であり、表3は動作モードに従う第1、第2及び第3高電圧のレベルを示す。表4は動作モードで、ワードライン及び選択信号の電圧レベルを示す。

【0051】

【表2】

動作モードに従うメモリセルバイアス

動作モード	ワードライン	ビットライン	ソースライン	バルク
プログラム	+9V	5V	0V	0V
消去	0V	フローティング	フローティング	+18V
読み出し	+4.5V	+1V	0V	0V

【0052】

【表3】

動作モードに従う使用電圧レベル

動作モード	$V_{PFI}$	$V_{bst}$	$V_{pgm}$	選択されたCWL	非選択CWL
プログラム	4.5V	$V_{cc}$	9V	9V	0V
消去	4.5V	$V_{cc}$	$V_{cc}$	0V	
読み出し	4.5V	4.5V	$V_{cc}$	4.5V	0V

【0053】

【表4】

動作モードに従う信号ライン上の印加電圧レベル

動作モード	CWL		選択されたメモリセルセクタ						非選択メモリセルセクタ					
	非選択	選択	非選択PWL	選択PWL	選択SWSi	非選択WL	バルク	PWL	非選択SWSi	非選択CWLのWL	選択CWLのWL	バルク	DTのVib	バルク
プログラム	9V	0V	9V	0V	9V	0V	0V	0V	0V	0V	DTのVib	0V	0V	0V
消去	0V	0V	0V	0V	0V	0V	18V	0V	0V	0V	0V	0V	0V	0V
読み出し	4.5V	0V	4.5V	0V	4.5V	0V	0V	0V	0V	0V	DTのVib	0V	0V	0V

【0054】表2に示されたように、本発明の実施形態では、消去動作で従来の場合のように、バルク領域にプラスの高電圧を印加し、ワードラインにマイナスの高電圧を印加する方式を使用しないで、バルク領域だけに18Vのプラスの高電圧を印加する。プログラム動作又は読み出し動作での電圧レベルは従来と同一であるが、前述した自己昇圧方式を利用するので、高電圧をワードラインに印加するためにプルアップトランジスタとしてPMOSTランジスタを使用しないし、又、PMOSTランジスタのバルク領域に高電圧を印加しないことに注意しなければならない。

【0055】前述した本発明の自己昇圧ドライバ、パースナルロウデコーダ、セクタ選択回路及びワードラインドライバブロックの回路構成において、自己昇圧方式を適用して様々な構造に変更できることは、当業者には周

知である。

【0056】

【発明の効果】本発明による半導体メモリ装置、特にデコーディング回路は、従来のように高電圧用PMOSTランジスタをプルアップ用に使用せず、高電圧用NMOSTランジスタ及びディブリーショントランジスタを使用し、自己昇圧方式によって、読み出し又はプログラムに必要な高電圧を選択されたワードラインに供給するので、電圧昇圧のためにバルク領域まで昇圧させる負担がない。又、供給される電圧に対応してゲート電圧が上昇するので、読み出し又はプログラムの時、ワードラインに供給される高電圧が電圧降下なしに伝送される。

【図面の簡単な説明】

【図1】フラッシュメモリ装置で従来使用されたワードライン駆動方式を示す回路図である。

【図2】フラッシュメモリ装置で従来使用されたワードライン駆動方式を示す回路図である。

【図3】図1のグローバルロウデコーダとワードラインドライバの間の連結関係を示す回路図である。

【図4】図1のローカルロウデコーダの回路図である。

【図5】図1で使用される高電圧を発生させる回路図である。

【図6】本発明の実施形態によるワードライン駆動方式を示す回路図である。

【図7】図6のグローバルロウデコーディングブロックとワードラインドライバの間の連結関係を示す回路図である。

【図8】図6のパーシャルロウデコーダの回路図である。

【図9】図6のセクタ選択回路の構成を示す回路図である。

【図10】図6で使用される高電圧を発生させる回路図である。

【図11】図6で使用される信号の間の関係を示す電圧波形図である。

【符号の説明】

VPP1 第1高電圧

Vbst 第2高電圧

Vpgm 第3高電圧

WDBi, WDBj ワードライン駆動ブロック

MCSi, MCSj メモリセルセクタ

CPC0~CPCk チャンネル予備充電回路

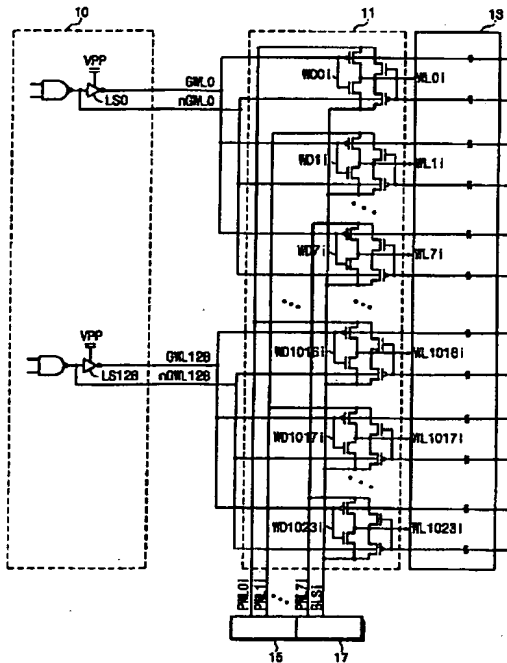
SBD0~SBDn 自己昇圧ドライバ

50 グローバルワードラインロウデコーディングブロック (グローバルロウデコーダ)

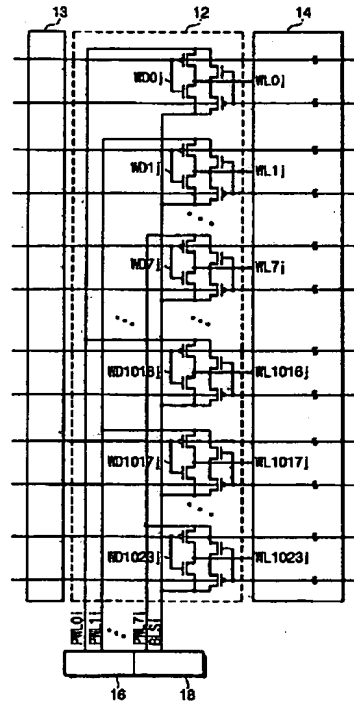
55 パーシャルロウデコーダ

SSi, SSj, 56 セクタ選択回路

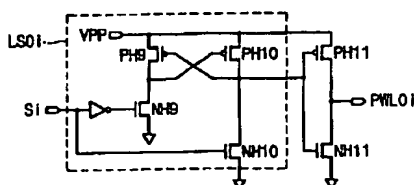
【図1】



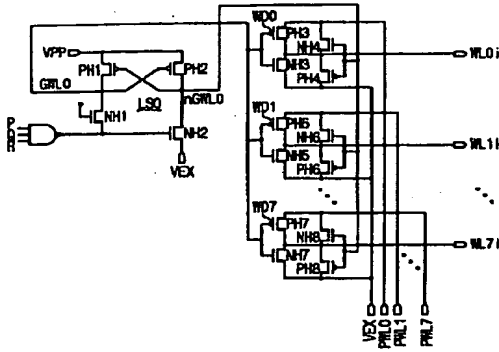
【図2】



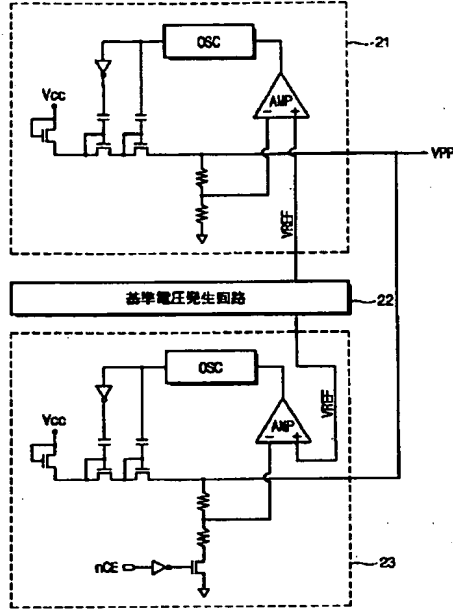
【図4】



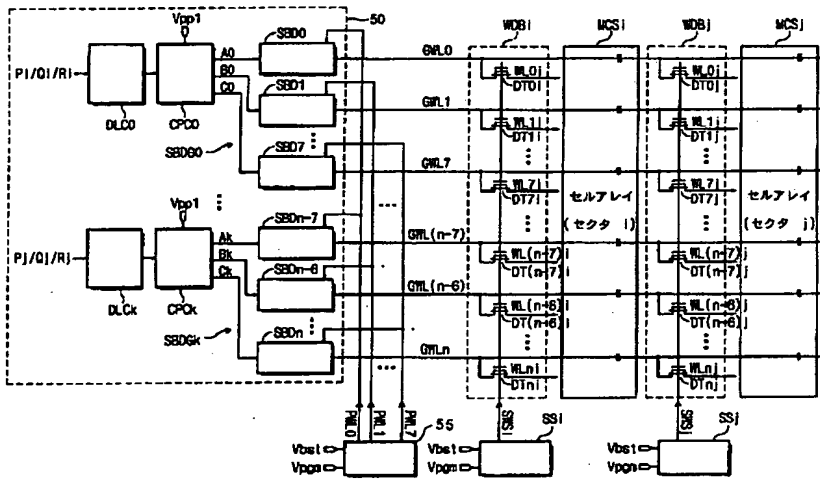
【図3】



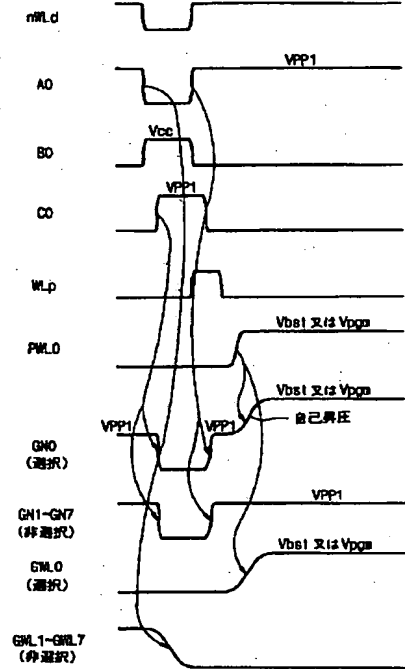
【図5】



【図6】



【図11】



【図7】



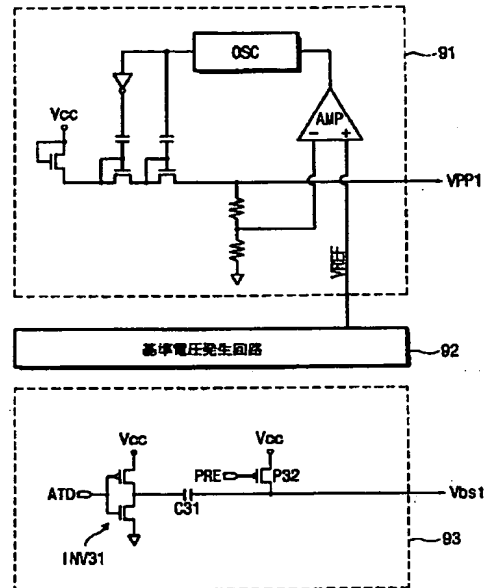
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 林 瀛 湖  
大韓民国京畿道水原市八達区靈通洞 ハン  
グル豊林アパート231棟303号

Fターム(参考) 5B025 AA03 AB01 AC01 AD02 AD03  
AD04 AD05 AD10 AD11 AE05  
AE08